This Page Is Inserted by IFW Operations and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

FOLEDOTT

(11)Publication number:

10-084259

(43) Date of publication of application: 31.03.1998

(51)Int.CI.

H03K 5/02 GO9G 3/36 H01L 27/08 H01L 29/786 H03K H03K 19/0185 H03K 19/0948

(21)Application number: 08-237587

(71)Applicant : NEC CORP

(22)Date of filing:

09.09.1996

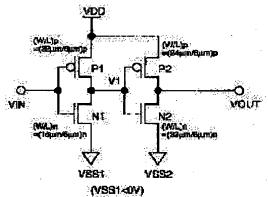
(72)Inventor: ASADA HIDEKI

(54) LEVEL SHIFT CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the level shift circuit that is able to respond at a high speed to an input signal with 5V / 3.3V which is usually used for an external signal processing circuit even when transistors (Tress) with a high threshold voltage such as polycrystal silicon thin film TR are in use.

SOLUTION: Two stages of CMOS inverter circuits are connected in cascade and a drive voltage VDD for the CMOS inverter circuits is selected higher than an input signal voltage VIN. In the circuits, a ground level VSSI of the lst stage CMOS inverter circuit is selected to be a negative voltage so as to set the threshold voltage of the last stage CMOS inverter circuit lower than 5V or 3.3V. In this case, the sum of absolute values of the respective threshold voltages of NMOS TRs N1,N2 and PMOS TRs P1,P2 being components of the 2 stage CMOS inverter circuits is larger than the level of the input signal voltage.



LEGAL STATUS

[Date of request for examination] 09.09.1996 [Date of sending the examiner's decision of 16.03.1999

rejection

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3179350 [Date of registration] 13.04.2001 [Number of appeal against examiner's decision 11-05813

of rejection]

[Date of requesting appeal against examiner's 14.04.1999 decision of rejection]

http://www19.ipdl.jpo.go.jp/PA1/result/detail/main/wAAAs6aGQMDA410084259P... 2004/01/08

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

| 3 A31 B |
|---------------|
| 平成10年(1998) 3 |
| (43)公開日 |
| |

| 技術表示循所 | | | | | | 最終買に続く |
|--------------|------|---------|-------|--------|-------|---------|
| | . 1 | | 331E | 613A | ပ | ∰ |
| | | | | | | OL |
| | 20/9 | 3/36 | 80/12 | 82/83 | 2/12 | 請求項の数 5 |
| FI | H03K | G 0 9 G | H01L | | H03K | 有關 |
| 庁内整理番号 | | | | | | 後期損職 |
| 體別配号 | | | 331 | | | |
| | 20/9 | 3/38 | 80/12 | 29/786 | 5/151 | |
| (51) Int CL. | H03K | 009 | H01L | | H03K | |

| (21)出版番号 | 特觀平8 —237587 | (71)出国人 000004237 | 000004237 |
|----------|---------------------|-------------------|------------------------------|
| (22) 出版日 | 平成8年(1996)9月9日 | | 日本電気株式会社 東京都港区芝五丁目7 巻 1 号 |
| | | (72)発明者 | 松田 松野 |
| | | | 東京都港区芝五丁目7番1号 日本電気株 |
| | | | 式会社内 |
| | | (74)代理人 | (74)代理人 弁理士 京本 直横 (外2名) |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | - |
| | | | |

[34] 【報題の名様】 アスラッレト回路

【瞟題】 多結晶シリコン薄膜トランジスタのような関 値電圧が高いトランジスタを用いても、外部信号処理回 路で通常用いられている5V、3.3Vの入力信号に対 、高速に応答することができるレベルシフト回路を提 【解決手段】 CMOSインバータ回路をカスケードに VSS1を負電圧に設定することにより、初段CMOS 1、N2と、PMOSトランジスタP1、P2のそれぞ 2 段接続し、そのCMOSインバータ回路の駆動電圧V DDを入力信号電圧VINよりも高くする。この回路に おいて、初段CMOSインバータ回路のグランドレベル インパータ回路の顕値電圧を5V、あるいは3.3Vよ いの関値電圧の絶対値の和は、入力信号電圧の振幅より りも低くすることができる。この際、2段のCMOSイ ンパータ回路を構成しているNMOSトランジスタN も大きい。

VSS1<0V) 롲

[特許請求の範囲]

MOSインバータ回路の駆動電圧が入力信号電圧よりも ベータ回路からなるレベルシフト回路であって、そのC 【静求項1】カスケード接続された2段のCMOSイン 高く、かつ、初段CMOSインパータ回路のグランドレ ベルが負電圧であることを特徴とするレベルシフト回

ベルが負電圧であり、かつ、その2段のCMO Sインバ ータ回路を構成しているNMOSトランジスタとPMO 入力信号電圧の振幅よりも大きいことを特徴とするレベ Sトランジスタのそれぞれの閾値電圧の絶対値の和が、

【請求項3】請求項1、または2に記載のレベルシフト 回路において、初段CMOSインバータ回路を構成して いるNMOSトランジスタとPMOSトランジスタの利 得係数の比の値が1よりも大きいことを特徴とするレベ ベルシフト回路において、その出力端子が、クロック信 号出力回路または制御信号出力回路の入力端子に接続さ れていることを特徴とするレベルシフト回路。 およびpチャネルの多結晶シリコン薄膜トランジスタか らなることを特徴とする請求項1から4のいずれかに記 機のレベルシレト回路。

【発明の詳細な説明】

【発明の属する技術分野】本発明は、液晶ディスプレ るレベルシント回路に関するものである。 ティブマトリクスアレイを形成する薄膜トランジスタ

【0003】このようなp - SiTFT駆動回路一体型 液晶ディスプレイにおいては、より小型で低コストな液 晶表示装置とするために、外部信号処理/駆動回路との インタフェースをできるだけ簡略化することが望まし

V、あるいは3.3Vのクロック信号が入力される。 し

特開平10-084259 かしながら、p-SiTFTの駆動能力は、単結晶シリ

3

パータ回路からなるレベルシフト回路であって、そのC MOSインバータ回路の駆動電圧が入力信号電圧よりも 高く、かつ、初段CMOSインパータ回路のグランドレ 【請求項2】カスケード接続された2段のCMOSイン

ハシレト回路。

【翻水項4】 請水項1、または2、または3に記載のレ

【請求項5】CMOSインバータ回路が、nチャネル、

[0001]

イ、密着型イメージセンサ等の周辺駆動回路に用いられ [0002] 【従来の技術】液晶表示装置の小型化、低コスト化を狙 (以下TFTと記す。) のゲートを走査する垂直駆動回 路と、ビデオ信号をデータバスラインに供給する水平駆 って、液晶表示基板と同じ基板上に周辺駆動回路を集積 動回路に分けられる。これら周辺駆動回路は、通常、多 化する技術の開発が進んでいる。周辺駆動回路は、アク 結晶シリコン薄膜トランジスタ(以下pーSiTFTと

v。そのため、通常、p-SiTFT駆動回路には、5 記す。) を集積して形成される。

を駆動するのに十分なスピードを得ることができないの ロック信号を昇圧するレベルシフト回路をクロック信号 フト回路が重要な回路要業となる。また、レベルシフト 回路は、クロック信号の昇圧だけでなく、シフトレジス 夕回路の出力をレベル変換する際にも必要不可欠な回路 3Vのクロック信号で駆動した場合、液晶ディスプレイ が現状である。そのため、5V、あるいは3.3Vのク 入力部に散けて、7~20Vのクロック信号でp-Si TFT駆動回路を駆動する形態がとられている。そのよ うな形態をとる場合、外部信号処理/駆動回路とp-S iTFT駆動回路のインタフェース回路となるレベルシ め、例えばシフトレジスタ回路等を5V、あるいは3. コンMOSトランジスタに比べて低いところにあるた となっている。 【0004】図10は、従来用いられてきたレベルシフ N5、N6、N7のソース電極は、グランド電源VSS 3に接続されている。VSS3には通常0Vが印加され 5。一方、PMOSトランジスタP5のソース電極は第 1の電源VDD1に接続され、PMOSトランジスタP ジスタP6、P7のチャネル幅に比べて10倍程度に大 N6. N7thnMOSトランジスタ、P5. P6. P7 はPMOSトランジスタである。NMOSトランジスタ 回路スピードを向上させるために、通常PMOSトラン L) p = (24 mm / 6 mm) の場合には、NMOSト 6、P7は第2の電源VDD2に接続されている。ここ 6、P7のサイズ (チャネル幅/チャネル長) が (W/ ト回路の構成を示したものである。図において、N5、 で、NMOSトランジスタN6、N7のチャネル幅は、 きく散計される。たとえば、PMOSトランジスタP 0 μm / 6 μm) に設計される。

【0005】 このレベルシフト回路に、電圧レベルVD D1の入力信号VINが入力された時の回路の動作は以 下の通りである。 【0006】まず、入力信号VINがローレベル、すな ジスタP6はオン状態となる。その結果、レベルシフト わち亀圧レベルVSS3 (=0V) の時は、NMOSト ランジスタN6およびPMOSトランジスタP7はオフ 状態、NMO S トランジスタN 7 およびPMO S トラン となる。逆に、入力信号VINがハイレベル、すなわち 電圧レベルVDD 1になると、NMOSトランジスタN 6 およびPMOSトランジスタP 7はオン状態、NMO S トランジスタN 7 およびPMO S トランジスタ P 6 は オフ状態となる。その結果、レベルシフト回路の出力V して、電圧振幅VDD1の入力信号VINを、電圧振幅 OUTは、ハイレベル電圧VDD2となる。このように VDD2の出力信号VOUTにレベル変換することがで 回路の出力VOUTは、ローレベル(VSS3=0V)

作させることはできなくなる。たとえば、図11は、n 【発明が解決しようとする課題】以上説明したような従 ているnチャネルおよびpチャネルp-SiTFTの闞 値電圧の絶対値が、2~3 V以上である場合、5 V、あ るいは3.3Vの入力信号でそのレベルシフト回路を動 が、それぞれ5V、および-5Vの時の動作波形例を示 したものである。図11には、入力信号VIN、出力信 ン亀圧に対応)の故形が示されている。図11に示すよ 3. 3 Vの入力倡号に対し、全く動作していないこ **合、p−SiTFTの性能に依存して以下のような大き** な問題が生じる。たとえば、レベルシフト回路を構成し は、nチャネルおよびpチャネルpーSiTFTの閾値 **電圧を、ともに 1 V程度まで低くする必要があるが、現** 状のp-SiTFTプロセスでこれを達成することは困 は、TFT閾値電圧を2V以下まで低く抑える必要があ **号VOUT、V3(NMOSトランジスタN6のドレイ** 米のレベルシフト回路をp-SiTFTで形成した場 チャネルおよびpチャネルp-SiTFTの関値電圧 うに、pーSiTFTの関値電圧が5Vと高い場合に とがわかる。3、3 Vの入力信号で動作させるために り、これもまた、現状プロセスで達成することは難し 雖である。また、5Vの入力信号で動作させるために

【0009】また、図10に示した従来のレベルシフト のレベルシフト回路においては、それを構成しているp V、あるいは3.3Vの入力信号に対し、広答できなく 駆動回路とのインタフェースがとれなくなり、液晶表示 回路においては、前述のように、NMOSトランジスタ N6、N7のサイズをPMOSトランジスタP6、P7 に比べて10倍程度大きくする必要があるため、回路面 なるという問題が発生する。その結果、外部信号処理/ -SiTFTの閾値電圧が2~3V以上になると、5 装置の小型、低コスト化が難しくなる。

【0010】本発明の目的は、上記問題点を解決するた 場合においても、5V、あるいは3、3Vの入力信号に 資が大きくなり、高速、高歩留まり化を図る上で問題が **めに、p−SiTFTの閾値電圧が2~3V以上あった** 対し、高速に応答することができるレベルシフト回路を

提供することにある。 [0011]

【課題を解決するための手段】かかる目的を達成するた りに、本発明のレベルシフト回路は、カメケード接続さ れた 2 段のCMO Sインバータ回路からなるレベルシン ト回路であって、そのCMOSインバータ回路の駆動電 圧が入力信号電圧よりも高く、かつ、初段CMOSイン パータ回路のグランドレベルが負電圧であることを特徴 としている。負電圧にすることにより、初段CMOSイ

らなるフベゲンフト回路かあった、そのCMOSインバ 初段CMOSインバータ回路のグランドレベルが負電圧 成しているNMOSトランジスタとPMOSトランジス カスケード接続された2段のCMOSインバータ回路か であり、かつ、その2段のCMOSインバータ回路を構 タのそれぞれの閾値電圧の絶対値の和が、入力信号電圧 一夕回路の駆動電圧が入力信号電圧よりも高く、かつ、 【0012】また、本発明の別のレベルシフト回路は、 ノバータ回路の閾値電圧を低くすることができる。 の板幅よりも大きいことを特徴としている。

タ回路を構成しているNMOSトランジスタとPMOS を特徴としている。利得係数の比の値を大きくすればす るほど、より小さい負の電源電圧VSS1でレベル変換 トランジスタの利得係数の比の値が1よりも大きいこと 上記レベルシント回路において、初段CMOSインベー [0013] また、本発明の別のレベルシフト回路は、 することができる。

初段CMO Sインバータ回路の動作点は、図2の黒丸で

レベル電圧3.3Vのディジタル信号を入力した場合、

る。この電圧条件において、ローレベル電圧OV、ハイ

5 Vとなる。この出力電圧が、2 段目CMOSインバー タ回路の入力信号となるので、2段目CMOSインバー **夕回路には、ローレベル電圧-5.5V、ハイレベル電**

3. 3 V の時、出力電圧はそれぞれ11. 7 V、 - 5.

示したポイントとなる。すなわち、入力電圧が0V、

る。その場合、2段目CMOSインバータ回路は、十分 スイッチングすることができ、その出力電圧は、それぞ れ12V、0Vとなる。すなわち、本発明のレベルシフ ト回路の出力として、ローアベル亀圧OA、 くイレベル [0019] 図3は、図1に示した本発明のレベルシフ ト回路に、VSS1=-7V、VSS2=0V、VDD =12Vの条件下で、3、3Vのディジタル信号VIN また、初段CMOSインバータ回路の出力被形V1も合 わせて示されている。この出力被形より、本レベルシフ ト回路を用いて、3.3Vのディジタル信号を12Vの

圧11. 7 Vのディジタル信号が入力されることにな

ク信号出力回路または制御信号出力回路の入力端子に接 上記レベルシフト回路において、その出力端子がクロッ [0014]また、本発明の別のレベルシフト回路は、 鏡されていることを特徴としている。

[0015]

【発明の実施の形態】次に、本発明の第1の実施の形態 について図面を参照して詳細に説明する。

【0008】以上説明したように、図10に示した従来

【0016】図1は、本発明のレベルシフト回路の構成 ト回路は、カスケード接続された2段のCMOSインバ 一夕回路で構成されている。このレベルシフト回路にお タ回路のグランドレベルは電源電圧VSS2で与えられ ている。この際、VSS1は、OVよりも小さい負電圧 いて、初段CMOSインパータ回路のグランドレベルは レベルに設定されている。一方、初段および2段目CM を示す図である。図に示すように、本発明のレベルシフ 電顔電圧VSS1で与えられ、2段目CMOSインバー OSインバータ回路のハイレベルは、共通の電源電圧V DDで与えられている。

【0017】 この回路の動作について、以下詳細に説明 する。図1に示したレベルシフト回路において、VDD 化させた場合の、初段CMOSインバータ回路の入出力 亀圧特性は、図2のようになる。この際、MOSトラン ジスタとして、pーSiTFTを採用しており、NMO SトランジスタN1、N2の関値電圧、電界効果移動度 方、PMOSトランジスタP1、P2の閾値電圧、電界 を12Vにして、VSS1を0V、-4V、-1Vと変 は、それぞれ、5V、40cm² /V・secである。— 効果移動度は、それぞれ、-5V、20cm² /V・se c である。また、初段CMOSインバータ回路を構成し ているPMOSトランジスタおよびNMOSトランジス タのサイズは、それぞれ、 (W/L) p=32μm/6 **吹式で与えられるNMOSトランジスタとPMOSトラ** иm 、 (W/L) n=16 иm / 6 иm となっており、

ンジスタの利得係数の比の値は1となっている。

特開平10-084229

3

 $\beta n = (\mu n \times \epsilon_0 \times \epsilon_{ox}) \times (W/L) n/t_{ox}$ $\beta p = (\mu p \times \epsilon_0 \times \epsilon_{ox}) \times (W/L) p/t_{ox}$

 $\beta n / \beta p = 1$

っている。その点が本発明のレベルシフト回路の特徴の 一つとなっているが、閾値電圧の絶対値の和が入力電圧 を汎用性の高いレベルシフト回路として適用することが の和が10Vと、入力電圧3.3Vよりも大きな値とな より小さい場合においても、本発明のレベルシフト回路 できる、以下、その実施例を詳細に説明する。 (2)率、ゲート絶縁膜の比誘電率、ゲート絶縁膜の厚さを装 している。入出力電圧特性に示すように、VSS1を負 側に大きくしていくにつれて、初段CMOSインバータ に、VSS1=-1Vの場合には、初段CMOSインバ ここで、 60、 60x, toxは、それぞれ、真空の誘電 回路の関値電圧が小さくなっていくことがわかる。特 **一夕回路の閾値程圧は、3.3Vよりも低くなってい**

圧、電界効果移動度が、それぞれ、-2. 4V、20cm 電界効果移動度が、それぞれ、2. 4V、40cm² /V 2 $/ {
m V}$ ・secの時の初段CMOSインバータ回路の入 出力電圧特性を示したものである。ここで、VDDは1 2V一定として、VSS1を0V、-4V、-1Vと変 を負側に大きくしていくにつれて、図2に示した入出力 **電圧特性と同様に、初段CMOSインバータ回路の関値** 電圧が小さくなっていくことがわかる。その結果、NS S1=-4V、-1Vの場合には、初段CMOSインバ 【0022】図4は、図1に示したレベルシフト回路に 化させている。入出力電圧特性に示すように、VSS1 おいて、NMOSトランジスタN1、N2の閾値電圧、 ・sec、PMOSトランジスタP1、P2の閾値框 **一夕回路の閾値電圧は、5Vよりも低くなっている。**

亀圧0V、ハイレベル電圧5Vのディジタル信号を入力 4の黒丸で示したポイントとなる。すなわち、入力租圧 5.8Vとなる。この出力電圧が、2段目CMOSイン ぞれ12V、0Vとなる。すなわち、本実施例のレベル 今、NSS1=-7Vの電圧条件において、ローレベル した場合、初段CMOSインバータ回路の動作点は、図 バータ回路の入力信号となるので、2段目CMOSイン バータ回路には、ローレベル電圧-5.8 N、 ヘイレベ なる。その場合、2段目CMOSインバータ回路は、十 分スイッチングすることができ、その出力電圧は、それ シフト回路の出力として、ローレベル電圧OV、ハイレ が0V、5Vの時、出力電圧はそれぞれ10.8V、一 ル電圧10.8Vのディジタル信号が入力されることに ベル電圧12Vのディジタル信号が得られることにな

> で、初段CMOSインパータ回路の出力V1は、前述の ように、ローレスン電圧し5.5V、くイレスン電圧1 1. 7 Vのディジタル信号となっている。ここで、2段 目 CMO Sインバータ回路を構成している PMO Sトラ ンジスタP2と、NMOSトランジスタN2の駆動能力 を等しくするために、PMOSトランジスタ、およびN

ディジタル信号に昇圧できていることがわかる。ここ

を入力した時の出力故形VOUTを示したものである。

電圧12Vのディジタル信号が得られることになる。

【0023】図5は、本実施例のレベルシフト回路にお た時の出力波形VOUTを示したものである。また、初 段CMOSインバータ回路の出力波形V1も合わせて示 2、およびPMOSトランジスタP1、P2の関値電圧 2Vの条件下で、5Vのディジタル信号VINを入力し 4 Vであり、NMOSトランジスタとPMOSトランジ スタの閾値電圧の絶対値の和は4.8Vと、入力電圧5 Vよりも小さくなっている。この場合においても、図5 VrC, VSS1 = -7V, VSS2 = 0V, VDD = 1は、前述のように、それぞれ、2. 4V、および-2. されている。この際、NMOSトランジスタN1、N

ト回路を用いることにより、NMOS、およびPMOS

トランジスタの閾値電圧が、それぞれ5V、-5Vと高 い場合においても、3.3Vのディジタル信号を12V

【0020】以上説明したように、本発明のレベルシフ

/6 48 としたいる。

MOSトランジスタのサイズを、それぞれ、(W/L) p=24μm/6μm、および (W/L) n=32μm [0021] 上記実施例においては、NMOSトランジ

のディジタル信号にレベル変換することができる。

スタN1、N2、およびPMOSトランジスタP1、P

2のそれぞれの閾値電圧Vtn、およびVtpの絶対値

【0024】NMOSトランジスタとPMOSトランジ スタの閾値電圧の絶対値の和が、入力電圧の版幅より小 きい場合、CMOS動作が可能となるので、図10に示 NMO S トランジスタN 1、N 2のサイズを従来のレベ 6、N7に比べて1/10程度に小さくできるので、回 路面積を小さくでき、高速、高歩留まり化を図る上で有 した従来のレベルシフト回路を利用することができる。 しかしながら、本発明のレベルシフト回路においては、 ルシフト回路を構成しているNMOSトランジスタN

【0025】上記200寒猫倒では、ペイレベル電圧V DDを12Vとしたが、入力電圧VINよりも大きい電 王であれば、特に限定しない。また、上記2つの実施例 においては、2段目CMOSインバータ回路のグランド レベルVSS2を0Vとしたが、2段目CMOSインバ ータ回路がスイッチングできる框圧であれば、VSS2 は特に限定しない。たとえば、VSS2を1Vや2V等 の正電圧に設定しても良いし、-1 V や-2 Vの負電圧 ト回路で昇圧された電圧で駆動される走査回路や、サン プルホールド回路等の周辺駆動回路の駆動電圧条件に合 に散定しても良い。このVSS2の値は、本レベルシフ わせて散定してやれば良い。

【0026】また、上記2つの実施例では、MOSトラ i) TFTや、カドミウムセレン (CdSe) TFT等 ンジスタとしてpーSiTFTを採用したが、他の薄膜 【0027】以上説明したように、NMOSトランジス トランジスタ、例えばアモルファスシリコン(a – S を用いても良い。

4.8V (=2.4V-(-2.4V))と、入力電圧 5 V より小さい場合においても、汎用性の高いレベルツ タと P M O S トランジスタの関値電圧の絶対値の和が、

 $\beta n / \beta p = 8$

図7の入出力電圧特性に示すように、VSS1を負倒に 大きくしていくにつれて、初段CMOSインバータ回路 か、CMOSインパータ回路の閾値電圧が、より負方向 にシフトしており、VSS1=-4Vにおいて、CMO Sインバータ回路の閾値電圧が3. 3 Vよりも低くなっ ペル電圧 0 V、 ペイレベル電圧 3、3 Vのディジタル信 ている。VSS1=-4Vの亀圧条件において、ローレ 号を入力した場合、初段CMO Sインパータ回路の動作 2 V、-3.8 Vとなる。この出力電圧が、2段目CM OSインパータ回路の入力信号となるので、2段目CM 第1の実施の形態の場合よりも大きく設計されているた 入力電圧が0V、3.3Vの時、出力電圧はそれぞれ1 本実施の形態では、NMOSトランジスタのサイズが、 の関値電圧が小さくなっていくことがわかる。ここで、 点は、図7の黒丸で示したポイントとなる。すなわち、

OSインバータ回路には、ローレベル館圧-3.8V、

フト回路として適用することができる。

【0028】次に、本発明のレベルシフト回路の第2の 其施の形態について説明する。

第2の実施の形態は、第1の実施の形態と回路構成は全 【0029】図6は、第2の実施の形態のレベルシフト く同様であるが、初段CMOSインバータ回路を構成し すなわち、第1の実施の形骸では、そのNMOSトラン ジスタのサイズは、図1に示したように、 (W/L) n =16μm/6μmで設計されているが、第2の実施の 回路の一実施例を示したものである。図に示すように、 ているNMOSトランジスタのサイズが異なっている。 影節では、(W/L) n=128 μm / 6 μmと大きく 設計されている。

閾値電圧、電界効果移動度は、それぞれ、5V、40cm Tを採用しており、NMOSトランジスタN3、N4の 2 /V・secである。一方、PMOSトランジスタP 【0030】この回路の動作について、以下詳細に説明 する。図6に示したレベルシフト回路において、VDD を12Vにして、VSS1を0V、-4V、-7Vと変 化させた場合の、初段CMOSインバータ回路の入出力 粗圧特性は、図7のようになる。この際、MOSトラン ジスタとして、第1の実施の形態と同様、p-SiJF Sインバータ回路を構成している PMOSトランジスタ に、それぞれ、(W/L) p=32μm/6μm、(W 3、P4の閾値電圧、電界効果移動度は、それぞれ、-5 V、2 0 cm²/V・s e c である。また、初段CMO およびNMOSトランジスタのサイズは、前述のよう /L) n=128 nm / 6 nm となっており、式

 (1)、(2)で与えられるNMOSトランジスタとP MOSトランジスタの利得係数の比の値は8となってい

[0031]

ハイレベル電圧12Vのディジタル信号が入力されるこ は、十分スイッチングすることができ、その出力電圧 とになる。その場合、2段目CMOSインバータ回路 は、それぞれ127、07となる。

【0032】図8は、図6に示した本発明のレベルシフ ト回路に、VSS1=-4V、VSS2=0V、VDD =12Vの条件下で、3.3Vのディジタル信号VIN また、初段CMOSインバータ回路の出力波形V2も合 **ちせて示されている。この出力被形より、本レベルシン** のディジタル信号を12Vのディジタル信号に昇圧でき 3.8V、ハイレベル電圧12Vのディジタル信号とな ト回路を用いて、VSS1=-4Vの条件で、3.3V ていることがわかる。ここで、初段CMOSインバータ を入力した時の出力被形VOUTを示したものである。 回路の出力V 2 は、前述のように、ローレベル電圧-っている。

タと P M O S トランジスタの利得係数の比の値を 8 とし たが、VSS1に供給できる電源電圧を考慮して、1よ りも大きい、それ以外の値で設計しても良い。利得係数 の比の値を大きくすればするほど、より小さい負の電源 し、利得係数の比の値を大きくするにつれて、入力電圧 め、許容できる消費電力を越えない範囲で利得係数の比 [0033] 本実施例においては、NMOSトランジス 鼈圧VSS1で、レベル変換することができる。ただ VIN=0Vの時に流れるリーク電流が大きくなるた の値を決定する必要がある。

【0034】また、本実施例では、ハイレベル亀圧VD Dを12Vとしたが、入力電圧VINよりも大きい電圧 は、2段目CMOSインバータ回路のグランドレベルV SS2を0Vとしたが、2段目CMOSインバータ回路 定しない。たとえば、VSS2を1Vや2V等の正電圧 に設定しても良いし、-1Vや-2V等の負電圧に設定 しても良い。このVSS2の値は、本レベルシフト回路 で昇圧された電圧で駆動される走査回路や、サンブルホ がスイッチングできる亀圧であれば、VSS2は特に限 **ールド回路等の周辺駆動回路の駆動電圧条件に合わせて** であれば、特に限定しない。また、本実施例において 散定してやれば良い。

としてp-SiTFTを採用したが、他の薄膜トランジ や、カドミウムセレン (CdSe) TFT等を用いても 【0035】また、本実施例では、MOSトランジスタ スタ、例えばアモルファスシリコン(a — S i) TFT

も小さい条件で、3、3Vのディジタル信号を12Vの 【0036】以上説明したように、第2の実施の形態の 回路のグランド電圧VSS1が、第1の実施の形態より レベルシフト回路においては、初段CMOSインバータ ディジタル信号にレベル変換することができる。

[0037] 図9は、本発明のレベルシフト回路の利用 形態の一例を示した図である。外部信号処理/駆動回路 シフト回路 901で受け、その出力端子 903 がクロッ 成となっている。このような構成をとることにより、回 12Vの2相クロック信号も、/ ゆを生成することがで きるようになる。ここで生成されたクロック信号は、電 から送られてくるクロック信号CLKを本発明のレベル クジェネレータ902の入力端子904に接続された構 路を構成しているMOSトランジスタの閾値電圧が5V と高い場合においても、3.3Vのクロック信号から、 原電圧12Vで動作する走査回路等の液晶ディスプレイ 周辺駆動回路に供給される。

【0038】本発明のレベルシフト回路は、この他に、 液晶ディスプレイ周辺駆動回路の制御信号、たとえば

ブル信号や、サンプルホールド回路のリセット信号等の デコーダ回路のアドレス制御信号や、走査回路のイネー レベル変換回路として広く利用することができる。

特開平10-084259

9

とにより、NMOSトランジスタとPMOSトランジス ル信号をレベル変換することが可能となる。また、NM OSトランジスタとPMOSトランジスタの関値電圧の 発明のレベルシフト回路を適用することができる。その 場合には、従来よりも回路面積を小さくすることができ るので、高速、高歩留まりのレベルシフト回路を提供す ることが可能となる。以上の効果により、外部信号処理 /駆動回路とのインタフェースが簡略化され、液晶表示 【発明の効果】本発明のレベルシフト回路を適用するこ タの閾値電圧の絶対値の和が、入力電圧の振幅より大き い場合においても、5V、あるいは3.3Vのディジタ 絶対値の和が、入力電圧の版幅より小さい場合にも、本 装置の小型、低コスト化を図ることができる。 【図画の簡単な説明】

【図1】本発明のレベルシフト回路の実施の形態を示す 図である。 【図2】本発明のレベルシフト回路を構成しているCM OSインバータ回路の特性を示す図である。

【図3】本発明のレベルシフト回路の動作故形を示す図

[図4] 本発明のレベルシフト回路を構成しているCM OSインバータ回路の特性を示す図である。

【図5】本発明のレベルシフト回路の動作波形を示す図

【図6】本発明のレベルシフト回路の他の実施の形態を 示す図である。

【図7】本発明のレベルシフト回路を構成しているCM OSインパータ回路の特性を示す図である。

【図8】本発明のレベルシフト回路の動作波形を示す図 である。 【図9】本発明のレベルシフト回路の利用形態の一例を 示す図である。

[図10] 従来のレベルシフト回路の構成を示す図であ 【図11】従来のレベルシフト回路の動作故形を示す図

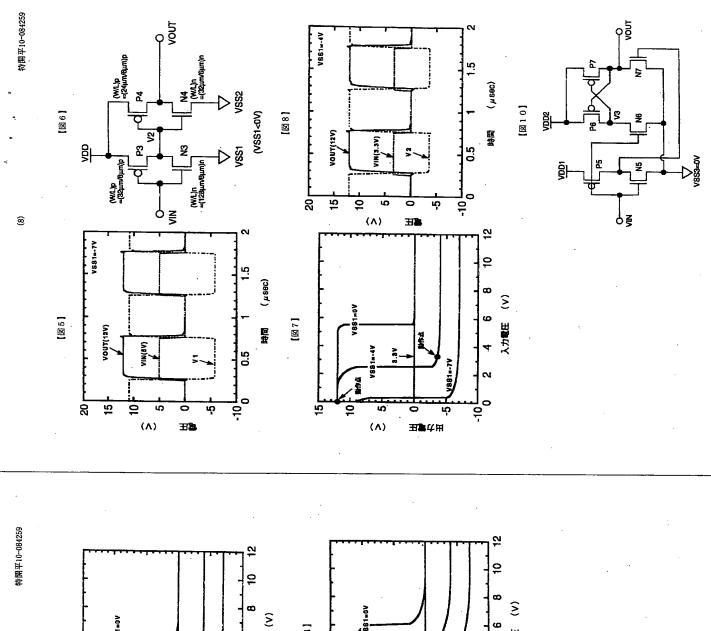
[符号の説明]

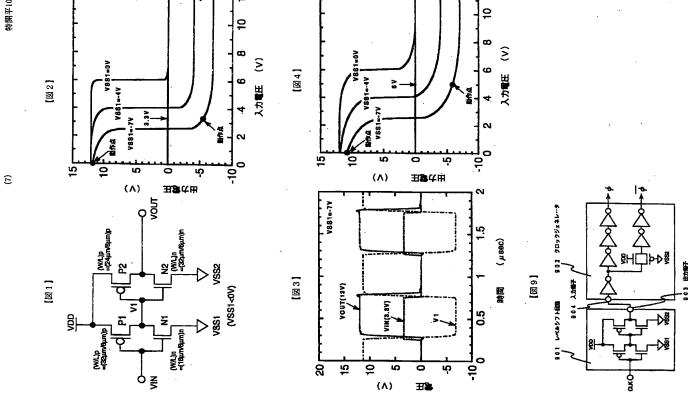
901 アペテンレト回路

クロックジェネレータ 902

903

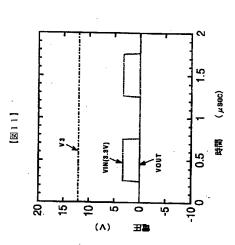
904







6



技術表示箇所

101D B